

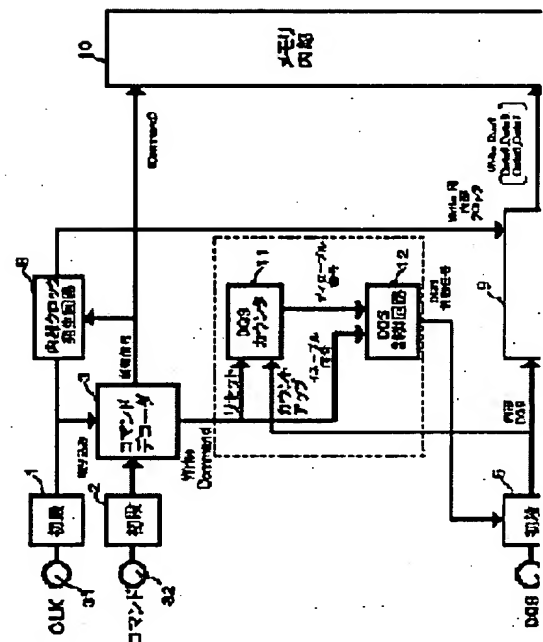
## SEMICONDUCTOR MEMORY

**Patent number:** JP2000222877  
**Publication date:** 2000-08-11  
**Inventor:** OKIZAKI SANETSUGU  
**Applicant:** NEC IC MICROCOMPUT SYST LTD  
**Classification:**  
 - international: G11C11/407; G11C7/00  
 - european:  
**Application number:** JP19990019831 19990128  
**Priority number(s):**

### Abstract of JP2000222877

**PROBLEM TO BE SOLVED:** To accelerate data writing by fetching data synchronously with a DQS(DQ strobe) input asynchronously with a clock signal.

**SOLUTION:** When a write command is supplied from an input terminal 32 to a DQS counter 11 and a DQS control circuit 12 through an initial stage 2 and a command decoder 3, the circuit 12 enables both an initial stage 6 and an inner DQS, so that the counter 11 starts counting of the number of clocks of the inner DQS, a DIN fetching circuit 9 fetches data synchronously with rise and fall of the DQS and supplies the data into a memory 10 synchronously with a write inner clock synchronized with a CLK from an inner clock generator 8. When the number of counts of the counter 11 arrives at the number of times of a half of a burst length, the circuit 12 fixes the DQS to a low level through the stage 6 and stops fetching of the data by the circuit 9.





## 【特許請求の範囲】

【請求項1】 クロック信号を入力するクロック信号入力手段と、

コマンドを入力するコマンド入力手段と、

データを取り込むための同期信号を入力する同期信号入力手段と、

前記同期信号入力手段によって入力された前記同期信号に同期して、前記データを取り込む取り込み手段と、

前記データを記憶する記憶手段と、

前記コマンド入力手段により、前記データの前記記憶手段への書き込みを指示するライトコマンドが入力されたときから、所定の期間だけ、前記同期信号入力手段から前記取り込み手段に供給される前記同期信号をイネーブルにし、前記取り込み手段による前記データの取り込みが可能となるように制御する制御手段と、

前記取り込み手段によって取り込まれた前記データを、前記クロック信号入力手段によって入力された前記クロック信号に同期して、前記記憶手段に供給する供給手段とを備えることを特徴とする半導体記憶装置。

【請求項2】 前記制御手段は、前記コマンド入力手段により前記ライトコマンドが入力されたとき、前記同期信号をイネーブルにし、前記同期信号のクロッキング回数のカウントを開始し、カウント数が所定の基準回数に達したとき、前記同期信号をディセーブルにし、前記取り込み手段による前記データの取り込みを停止させることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記制御手段は、前記期間中以外は、前記取り込み手段に供給される前記同期信号の信号レベルをローレベルに固定することを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 前記制御手段は、前記同期信号を所定の基準回数だけカウントした後、前記供給手段により前記取り込み手段によって取り込まれた前記データの前記記憶手段への供給が終了するまでの期間、前記同期信号の信号レベルをローレベルに固定し、その後Hi-Zレベルにすることを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】 クロック信号を入力するクロック信号入力手段と、

コマンドを入力するコマンド入力手段と、

データを入力するデータ入力手段と、

前記データ入力手段によって入力された前記データを取り込むための同期信号を入力する同期信号入力手段と、

前記同期信号入力手段によって入力された前記同期信号に同期して、前記データを取り込む取り込み手段と、

前記取り込み手段によって取り込まれた前記データを記憶する記憶手段と、

前記コマンド入力手段により、前記データの前記記憶手段への書き込みを指示するライトコマンドが入力されたときから、所定の期間だけ、前記データ入力手段から前

記取り込み手段に供給される前記入力信号をイネーブルにし、前記取り込み手段による前記データの取り込みが可能となるように制御する制御手段と、

前記取り込み手段によって取り込まれた前記データを、前記クロック信号入力手段によって入力された前記クロック信号に同期して、前記記憶手段に供給する供給手段とを備えることを特徴とする半導体記憶装置。

【請求項6】 前記制御手段は、前記コマンド入力手段により前記ライトコマンドが入力されたとき、前記データ入力手段をイネーブルにし、前記同期信号のクロッキング回数のカウントを開始し、カウント数が所定の基準回数に達したとき、前記データ入力手段をディセーブルにし、前記取り込み手段による前記データの取り込みを停止させることを特徴とする請求項5に記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に、Writeデータと同期をとるために入力されるDQSの制御をDQS自身を用いたカウンタによって行うことにより、最適なタイミングでDQS制御信号を発生し、より高速な書き込み動作を可能とする半導体記憶装置に関する。

## 【0002】

【従来の技術】従来、SDRAM (Synchronous DRAM (dynamic random access memory)) のWrite時のDQS (DQStrobe) には、書き込みデータ入力タイミング用クロックがメモリに入力されるが、Read時のDQSには、逆に、読み出しデータ出力タイミング用クロックがメモリから出力される。ここで、DQSは、SDRAM外部から入力される入力信号であり、Writeデータと同期をとるために入力される信号である。

【0003】従って、Read時のDQSは、Hi-Zレベル (出力端子にVCCやGND等のレベルが伝わっていないフローティング状態) にする必要があり、Write終了後のDQSは、次にReadが行われる場合もあるので、直ちにHi-Zレベルにするのが好ましい。よって、DQSのポストアンプルは短ければ短い程よい。

## 【0004】

【発明が解決しようとする課題】しかしながら、バースト最後の書き込みデータ (Data 7, 8) が取り込まれてから、Write Busに送られるまでの間に、DQSが不用意に動いてしまうと、図4を参照して後述するデータ取り込み回路 (DIN取り込み回路) 9内に残っているData 7, 8が、DQSクロッキングによるデータの取り込みで破壊されてしまう。

【0005】よって、Write終了後も、データ取り込み回路9内に、Data 7, 8が残っている間 (Da

ta7, 8がWrite用内部クロックによってメモリ内に出力されるまで)は、DQSをLo固定にしておく必要があり、DQSのポストアンブルというスベックが必要になってくる。そして、このことが、データ書き込み動作の高速化の妨げになるという問題があった。

【0006】上記問題の解決法として、SDRAMの回路で一般的に行われているように、バーストカウンタ等を使用した制御信号で、バースト期間中のみ、DQSをイネーブルにするように制御する方法が考えられる。

【0007】図4は、バーストカウンタでDQSを制御する従来のSDRAM回路の構成例を示すブロック図である。また、図5、図6は、本構成によるWrite時の2種類の動作を示すタイミングチャートである。図5、及び図6では、DQSがクロッキングするタイミングが異なる。

【0008】図4に示すように、SDRAM回路は、入力端子31から初段1を介して入力されたCLKに基づいて動作するバーストカウンタ4と、バーストカウンタ4の出力信号のタイミングを遅延させ、DQS制御信号を出力し、初段6をイネーブル又はディセーブルにするディレイ回路5と、入力端子33より初段6を介して入力されたDQSの立ち上がり立ち下りのタイミングで、入力端子34より初段7を介して入力された外部入力データ(DIN)を取り込むデータ取り込み回路9と、入力端子31より初段1を介して入力されたCLKの立ち上りのタイミングで、入力端子32より初段2を介して入力されたコマンドを取り込み、デコードし、コマンドに対応する制御信号を内部クロック発生回路8及びメモリ内部10に供給するコマンドデコーダ3と、コマンドデコーダ3からの制御信号に従って、データ取り込み回路9より供給されるデータを記憶するメモリ内部10とから構成されている。

【0009】ここで、初段1, 2, 6, 7は、それぞれ入力端子31乃至34より入力された入力信号の信号レベルを増幅して出力する回路であり、各入力端子31乃至34に入力された入力信号の信号レベルに従って、VCCレベル若しくはGNDレベルを伝達するようになされている。

【0010】例えば、図5に示すように、DQSのクロッキングが遅かった場合(CLK~DQS間が長い場合)の動作を考えると、バーストカウンタ4がカウントアップしてから、DQSの最後のクロッキングが終了するまでには時間差があるため、バーストカウンタ4とDQS制御信号の間にはディレイが必要になってくる。

【0011】しかし、図6に示すように、同回路にてDQSのクロッキングが速かった場合(CLK~DQS間が短い場合)の動作を考えると、バーストカウンタ4とDQS制御信号の間のディレイのために、DQSのクロッキングは終了しているにも拘わらず、DQS制御信号が内部DQSをディセーブルにするまで(図6におい

て、"a"で示した期間)は、外部DQSをLo固定にしておく必要がある。

【0012】このように、従来のSDRAMにおける制御信号は、本質的に全てCLKに同期しているため、CLKとは非同期に入力されるDQSを最適なタイミングでイネーブル又はディセーブルにする制御信号を作ることとはできない課題があった。

【0013】本発明はこのような状況に鑑みてなされたものであり、DQS自身を用いたカウンタによってDQSの制御を行うことにより、最適なタイミングでDQS制御信号を発生することができ、より高速な書き込み動作を行うことができるようにするものである。

【0014】

【課題を解決するための手段】請求項1に記載の半導体記憶装置は、クロック信号を入力するクロック信号入力手段と、コマンドを入力するコマンド入力手段と、データを取り込むための同期信号を入力する同期信号入力手段と、同期信号入力手段によって入力された同期信号に同期して、データを取り込む取り込み手段と、データを記憶する記憶手段と、コマンド入力手段により、データの記憶手段への書き込みを指示するライトコマンドが入力されたときから、所定の期間だけ、同期信号入力手段から取り込み手段に供給される同期信号をイネーブルにし、取り込み手段によるデータの取り込みが可能となるように制御する制御手段と、取り込み手段によって取り込まれたデータを、クロック信号入力手段によって入力されたクロック信号に同期して、記憶手段に供給する供給手段とを備えることを特徴とする。また、制御手段は、コマンド入力手段によりライトコマンドが入力されたとき、同期信号をイネーブルにし、同期信号のクロッキング回数のカウントを開始し、カウント数が所定の基準回数に達したとき、同期信号をディセーブルにし、取り込み手段によるデータの取り込みを停止させるようにすることができる。また、制御手段は、期間中以外は、取り込み手段に供給される同期信号の信号レベルをローレベルに固定するようにすることができる。また、制御手段は、同期信号を所定の基準回数だけカウントした後、供給手段により取り込み手段によって取り込まれたデータの記憶手段への供給が終了するまでの期間、同期信号の信号レベルをローレベルに固定し、その後Hi-Zレベルにするようにすることができる。請求項5に記載の半導体記憶装置は、クロック信号を入力するクロック信号入力手段と、コマンドを入力するコマンド入力手段と、データを入力するデータ入力手段と、データ入力手段によって入力されたデータを取り込むための同期信号を入力する同期信号入力手段と、同期信号入力手段によって入力された同期信号に同期して、データを取り込む取り込み手段と、取り込み手段によって取り込まれたデータを記憶する記憶手段と、コマンド入力手段により、データの記憶手段への書き込みを指示するライトコ

マンドが入力されたときから、所定の期間だけ、データ入力手段から取り込み手段に供給される入力信号をイネーブルにし、取り込み手段によるデータの取り込みが可能となるように制御する制御手段と、取り込み手段によって取り込まれたデータを、クロック信号入力手段によって入力されたクロック信号に同期して、記憶手段に供給する供給手段とを備えることを特徴とする。また、制御手段は、コマンド入力手段によりライトコマンドが入力されたとき、データ入力手段をイネーブルにし、同期信号のクロッキング回数のカウントを開始し、カウント数が所定の基準回数に達したとき、データ入力手段をディセーブルにし、取り込み手段によるデータの取り込みを停止させるようにすることができる。本発明に係る半導体記憶装置においては、クロック信号入力手段がクロック信号を入力し、コマンド入力手段がコマンドを入力し、同期信号入力手段がデータを取り込むための同期信号を入力し、取り込み手段が同期信号入力手段によって入力された同期信号に同期して、データを取り込み、記憶手段がデータを記憶し、制御手段が、コマンド入力手段により、データの記憶手段への書き込みを指示するライトコマンドが入力されたときから、所定の期間だけ、同期信号入力手段から取り込み手段に供給される同期信号をイネーブルにし、又は取り込み手段によって取り込まれるデータをイネーブルにし、取り込み手段によるデータの取り込みが可能となるように制御し、供給手段が、取り込み手段によって取り込まれたデータを、クロック信号入力手段によって入力されたクロック信号に同期して、記憶手段に供給する。

#### 【0015】

【発明の実施の形態】図1は、本発明の半導体記憶装置を応用したSDRAM (Synchronous DRAM (dynamic random access memory)) 回路のWrite動作に限定した構成例を示すブロック図である。

【0016】コマンドは、バス化をイメージした信号で、RAS (行アドレスセレクト信号)、CAS (列アドレスセレクト信号)、WE (書き込み制御信号) 等の入力信号で構成されている。即ち、ここでは、外部からのWriteやRead等の制御信号の入力を複数の入力端子によって行っているところを、あたかも1つの入力端子でコマンドを入力することによって行っているかのように表現している。実際には、RAS、CAS、WE等の複数の入力端子に、予め決められた入力を行うことで、メモリのWriteやRead等の制御を行っている。

【0017】コマンドデコード3は、初段1を介してCLK (クロック信号) を入力する入力端子31と、初段2を介してコマンドを入力する入力端子32とそれぞれ接続されており、入力端子31より入力されるCLKの立ち上がりのタイミングで、入力端子32から入力され

るコマンドを取り込み、メモリ内部10に制御信号を出力するようになされている。

【0018】内部クロック発生回路8は、コマンドデコード3、図示せぬバーストカウンタ、データ取り込み回路 (DIN取り込み回路) 9とそれぞれ接続されており、コマンドデコード3にWriteコマンドが入力されると、Write用内部クロックをデータ取り込み回路9に対してバースト長の半分の回数 (例えばバースト長8の場合は4回) だけ出力するようになされている。ここで、Write用内部クロックは、Writeデータをデータ取り込み回路9からメモリ内部10へ出力するための信号である。

【0019】データ取り込み回路9は、初段6を介してDQS (DQ Strobe) を入力する入力端子33と、初段7を介してDINを入力する入力端子34とそれぞれ接続されており、DQSの立ち上がりと立ち下がりを取り込まれる2つのWriteデータを、一旦内部に保持するようになされている。そして、内部クロック発生回路8より、Write用内部クロックが入力されると、内部に保持した上記2つのWriteデータを、各々対応するWrite Bus1, 2に同時に出力し、メモリ内部10を構成するメモリセルアレイに書き込むようになされている。

【0020】このように、DQSの立ち上がりと立ち下がりを取り込んだ2つのWriteデータを、メモリセルアレイに同時に書き込む方式を、プリフェッチWrite方式という。

【0021】内部クロック発生回路8においてWrite用内部クロックが発生されるタイミングは、DQSの立ち上がりと立ち下がりを取り込まれる2つのWriteデータを、各々対応するWrite Bus1, 2に同時に出力できるまでの時間だけ遅らせてある。この遅らせ量は、DQSの立ち下がりで行われるデータ取り込みが確実に終了してから、Write Bus1, 2へのデータ出力が行われるように調整されなければならないため、データ取り込みを行うタイミングを制御するDQSのスペックによって決定されるが、通常は、CLK同期で動作するレジスタを用いて、1乃至2サイクルだけ遅らせている。

【0022】以上は、一般的なDDR-SDRAM (Double Data Rate方式シンクロナスDRAM) の基本的な構成例である。

【0023】本実施の形態においては、さらに、DQS (外部DQS) ~内部DQS間に、DQS制御回路12、及びDQSカウンタ11が挿入され、Write期間中以外は、DQS制御回路12から出力されるDQS制御信号が内部DQSをLレベルに固定にすることにより、外部DQSの入力を遮断するようになされている。

【0024】即ち、追加されたDQS制御回路12は、

コマンドデコーダ3やDQSカウンタ11からの入力に基づいて、DQS制御信号を介して、初段6から入力される内部DQSのイネーブル及びディセーブルを制御するようになされている。

【0025】DQSカウンタ11は、コマンドデコーダ3よりWriteコマンドが入力されてからのDQSのクロッキング回数をカウントし、カウント数がバースト長の半分の回数（例えばバースト長8の場合は4回）に達すると、DQS制御回路12にDQSのディセーブルを行わせるためのディセーブル信号をDQS制御回路12に供給するようになされている。

【0026】次に、図2を参照して、図1に示した実施の形態のWrite時の動作について説明する。図2は、図1に示した実施の形態の動作を説明するためのタイミングチャートである。

【0027】前述のように、コマンドは、RAS、CAS、WE等の複数信号のHi/Lowの組み合わせによるバス化をイメージした信号で、CLKの立ち上がりに対して、Setup/Hold（セットアップ時間とホールド時間）をもって入力される。そして、データ書き込み時には、Writeコマンドが入力される。

【0028】CLKは、一定の周期を保ってクロッキングしており、コマンドやアドレス用の同期信号となる。DQSは、データ書き込み時以外は、Hi-Z状態であるが、Writeコマンド入力前には、予めLowレベルにされ、Writeコマンド入力後は、CLKに対して一定時間（図2において、“b”で示した部分の時間）のディレイをもって、バースト長の半分の回数（この場合、バースト長8なので4回）だけクロッキングし、バーストWrite終了後は、ポストアンブル（図2において、“a”で示した部分）期間以上、Lowレベルを保った後に、再び、Hi-Zレベルにされる。

【0029】データ取り込み回路9は、DQSの立ち上がり立ち下がり同期してバースト長の分（図2においては、バースト長8なので8回）だけ、書き込みデータ（Data1乃至Data8）を内部のメモリに入力し、保持する。

【0030】本実施の形態においては、通常状態の内部DQSは、外部DQSの状態に拘わらず、Lowレベルに固定されているが、Writeコマンドが入力されると、DQS制御回路12から出力されるDQS制御信号が、初段6をイネーブルにするため、外部DQSの入力によって内部DQSが動作するようになる。即ち、外部DQSに同期した内部DQSが、初段6からDQSカウンタ11及びデータ取り込み回路9に供給されることになる。

【0031】また、DQSカウンタ11は、Writeコマンドの入力によって初期状態（カウント数=0）にリセットされ、その後は、DQSのクロッキングをカウントする。そして、DQSカウンタ11のカウント数

が、バースト長の半分（この例の場合、バースト長が8なので4）に達すると、DQS制御回路12を介して内部DQSをLowレベルに固定にすることにより、DQSによるデータ取り込みをディセーブルにする。

【0032】その間、データ取り込み回路9は、内部クロック発生回路8より供給されるWrite用内部クロックに同期して、内部のメモリに保持している2つのWriteデータを、対応するWrite Bus1, 2を介して、メモリ内部10のメモリアレイに供給し、記憶させる。この例の場合、Data1, 3, 5, 7はWrite Bus1を介してメモリ内部10に供給され、Data2, 4, 6, 8は、Write Bus2を介してメモリ内部10に供給される。

【0033】以上説明したように、本実施の形態においては、DQS制御回路12の制御を、DQS自身のクロッキング数をカウントするDQSカウンタ11によって行うことにより、CLKとは非同期に入力されるDQSを増幅し、内部に入力する初段6に対して、最適なタイミングでDQS制御信号を供給することができる。これにより、DQSの最後のクロッキングを受けてから直ちに、初段6からの内部DQSをディセーブルにすることもでき、DQSのポストアンブル（Write終了後にDQSをLowレベルに固定しなければならない期間）を短くすることができる。

【0034】即ち、CLKの立ち上がり立ち下がりに同期してデータを出力するDouble Data Rate方式シンクロナスDRAM（DDR-SDRAM）において、データを書き込むときに、Writeデータと同期をとるために入力されるDQSのクロッキング数をカウントし、必要な数のクロッキングが入力され次第、DQSの初段6をディセーブルにすることができる。このことにより、DQSのポストアンブルを大幅に改善させることができる。

【0035】図3は、本発明の半導体記憶装置の他の実施の形態の構成例を示すブロック図である。図3に示した実施の形態においては、図1に示した実施の形態におけるDQS制御回路12の代わりに、DIN制御回路22を設け、コマンドデコーダ3からイネーブル信号が供給されると、初段7に対してDIN制御信号を供給し、Writeデータがデータ取り込み回路9によって取り込まれるように制御し、DQSカウンタ11からディセーブル信号が供給されると、初段7に対してDIN制御信号を供給し、Writeデータがデータ取り込み回路9によって取り込まれないように制御している。

【0036】なお、DQSカウンタ11でDINの初段7を制御する場合、DINの初段7からのデータ取り込み回路9への出力を、データ取り込み回路9が既に取り込んだWriteデータを壊さないものにしなければならない。このため、DINの初段7からのデータ取り込み回路9への出力に、“Hiデータ”、“Loデー

タ”、“データ保持”という3つの状態を乗せることになる。そのため、“DINの初段7からの出力がフローティング（データ保持）のとき、データ取り込み回路9には、内部のメモリに既に取り込んだWriteデータを保持する構造が必要となる。

【0037】図1に示した実施の形態においては、DQSカウンタ11でDQSの初段6を制御することによって、DQSのポストアンプを改善させているが、図3に示した実施の形態の場合、DQSカウンタ11でDINの初段7を制御することにより、DQSのポストアンプを改善させることができる。このように、図3に示した実施の形態においても、図1に示した実施の形態の場合と同様の効果を得ることができる。

【0038】なお、上記実施の形態においては、バースト長が8の場合について説明したが、本発明はこれに限定されるものではない。

【0039】

【発明の効果】以上の如く、請求項1に記載の半導体記憶装置によれば、クロック信号入力手段がクロック信号を入力し、コマンド入力手段がコマンドを入力し、同期信号入力手段がデータを取り込むための同期信号を入力し、取り込み手段が同期信号入力手段によって入力された同期信号に同期して、データを取り込み、記憶手段がデータを記憶し、制御手段が、コマンド入力手段により、データの記憶手段への書き込みを指示するライトコマンドが入力されたときから、所定の期間だけ、同期信号入力手段から取り込み手段に供給される同期信号をイネーブルにし、取り込み手段によるデータの取り込みが可能となるように制御し、供給手段が、取り込み手段によって取り込まれたデータを、クロック信号入力手段によって入力されたクロック信号に同期して、記憶手段に供給するようにしたので、クロック信号とは非同期に入力される同期信号によって最適なタイミングでデータの取り込みが可能となり、取り込み手段によって取り込まれたデータが記憶手段に供給されるまでの、同期信号をローレベルに固定すべき期間を改善することができ、高速なデータ書き込みが可能となる。また、請求項5に記載の半導体記憶装置によれば、クロック信号入力手段が、クロック信号を入力し、コマンド入力手段が、コマンドを入力し、データ入力手段が、データを入力し、同期信号入力手段が、データ入力手段によって入力されたデータを取り込むための同期信号を入力し、取り込み手

段が、同期信号入力手段によって入力された同期信号に同期して、データを取り込み、記憶手段が、取り込み手段によって取り込まれたデータを記憶し、制御手段が、コマンド入力手段により、データの記憶手段への書き込みを指示するライトコマンドが入力されたときから、所定の期間だけ、データ入力手段から取り込み手段に供給される入力信号をイネーブルにし、取り込み手段によるデータの取り込みが可能となるように制御し、供給手段が、取り込み手段によって取り込まれたデータを、クロック信号入力手段によって入力されたクロック信号に同期して、記憶手段に供給するようにしたので、クロック信号とは非同期に入力される同期信号によって最適なタイミングでデータの取り込みが可能となり、取り込み手段によって取り込まれたデータが記憶手段に供給されるまでの、同期信号をローレベルに固定すべき期間を改善することができ、高速なデータ書き込みが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置を応用したDDR-S DRAMの一実施の形態のWrite動作に限定した構成例を示すブロック図である。

【図2】図1の実施の形態の動作を説明するためのタイミングチャートである。

【図3】本発明の半導体記憶装置を応用したDDR-S DRAMの他の実施の形態のWrite動作に限定した構成例を示すブロック図である。

【図4】従来のSDRAMの構成例を示すブロック図である。

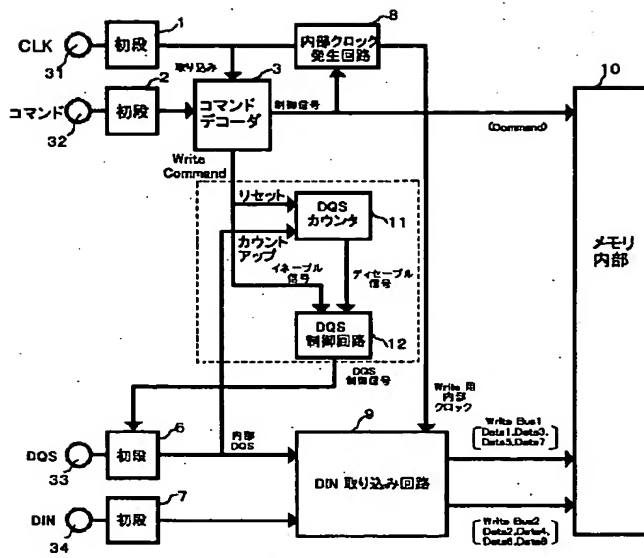
【図5】図4に示したSDRAMの動作を説明するためのタイミングチャートである。

【図6】図4に示したSDRAMの動作を説明するためのタイミングチャートである。

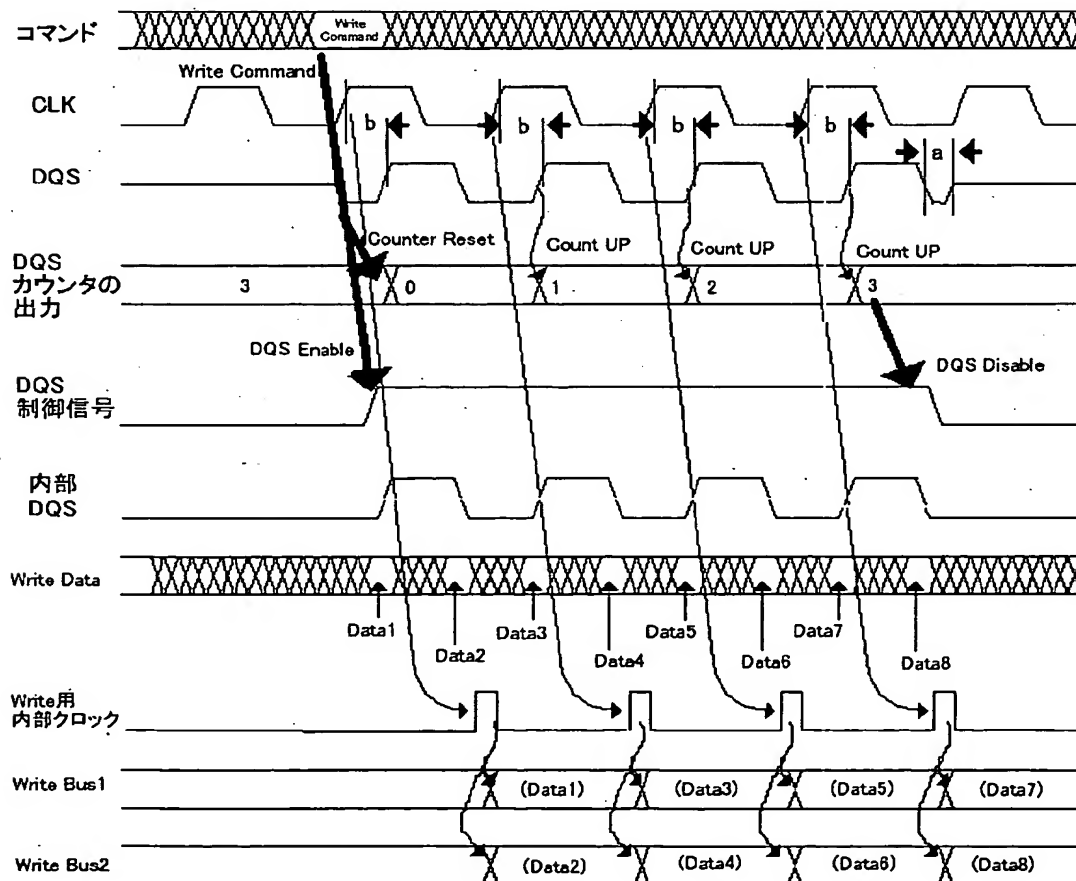
【符号の説明】

- 1, 2, 6, 7 初段
- 3 コマンドデコーダ
- 4 バーストカウンタ
- 5 ディレイ回路
- 8 内部クロック発生回路
- 9 データ取り込み回路（DIN取り込み回路）
- 10 メモリ内部
- 11 DQSカウンタ
- 12 DQS制御回路
- 22 DIN制御回路

【図1】

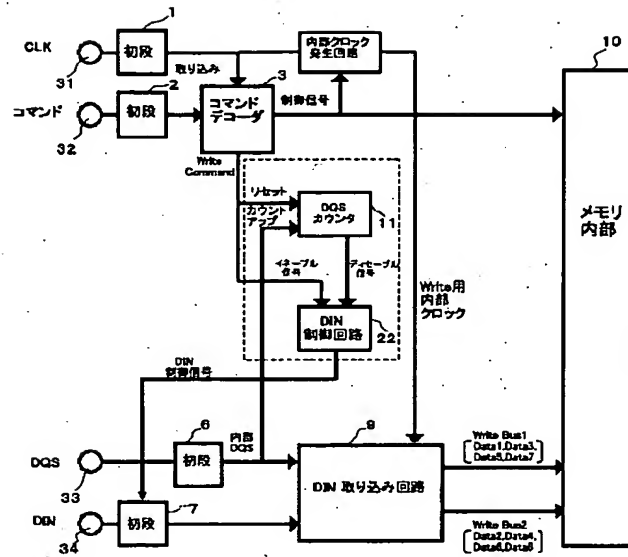


【図2】

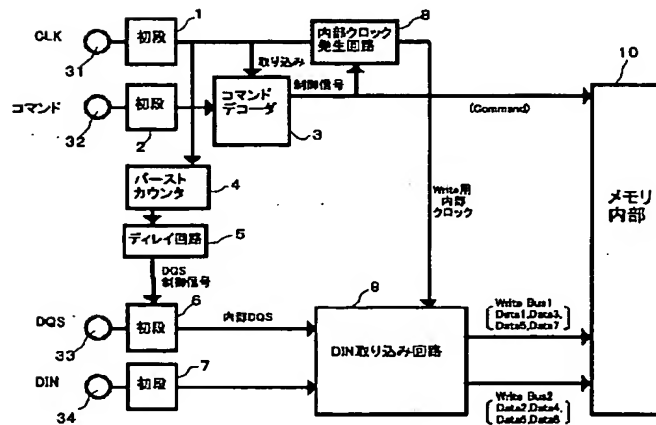




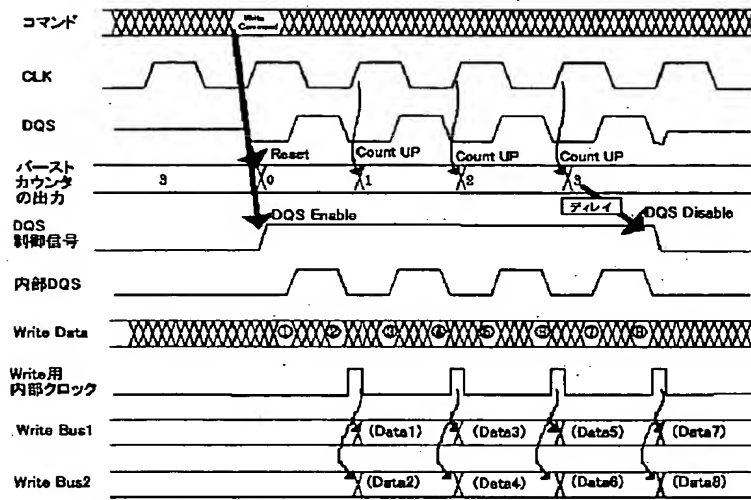
【図3】



【図4】



【図5】



【図6】

